

(12) NACH DEM VERTRETER ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
13. Mai 2004 (13.05.2004)

PCT

(10) Internationale Veröffentlichungsnummer  
**WO 2004/040667 A1**

(51) Internationale Patentklassifikation<sup>7</sup>: **H01L 51/20**

(21) Internationales Aktenzeichen: PCT/DE2003/003588

(22) Internationales Anmeldedatum:  
29. Oktober 2003 (29.10.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
102 50 829.1 31. Oktober 2002 (31.10.2002) DE

(71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme von US*): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (*nur für US*): GRAHAM, Andrew [GB/DE]; Guifidauner Str. 6, 81547 München

(DE). HOFMANN, Franz [DE/DE]; Herbergstr. 25B, 80995 München (DE). HÖNLEIN, Wolfgang [DE/DE]; Parkstr. 8 A, 82008 Unterhaching (DE). KRETZ, Johannes [AT/DE]; Tattenbachstr. 1, 80538 München (DE). KREUPL, Franz [DE/DE]; Mandlstr. 24, 80802 München (DE). LANDGRAF, Erhard [DE/DE]; Gerhardstr. 23, 81543 München (DE). LUYKEN, Richard, Johannes [DE/DE]; Böcklerweg 28, 81825 München (DE). RÖSNER, Wolfgang [DE/DE]; Sudetenstr. 23, 85521 Ottobrunn (DE). SCHULZ, Thomas [DE/DE]; Annette-Kolb-Anger 13/5, 81737 München (DE). SPECHT, Michael [DE/DE]; Schraudolphstr. 42, 80799 München (DE).

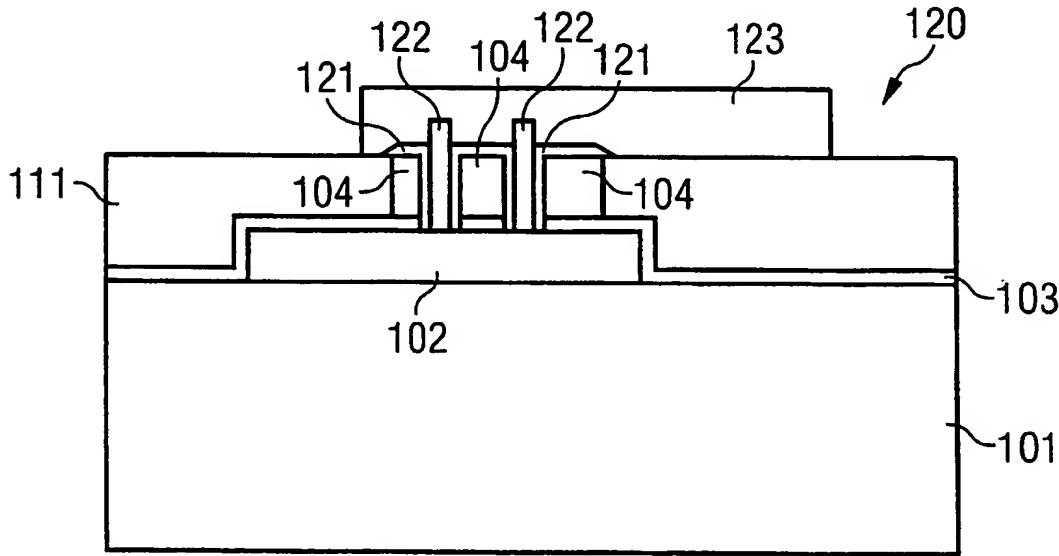
(74) Anwalt: DOKTER, Eric-Michael; Viering, Jentschura & Partner, Steinsdorfstr. 6, 80538 München (DE).

(81) Bestimmungsstaaten (national): JP, US.

[Fortsetzung auf der nächsten Seite]

(54) Title: NON-VOLATILE MEMORY CELL, MEMORY CELL ARRANGEMENT AND METHOD FOR PRODUCTION OF A NON-VOLATILE MEMORY CELL

(54) Bezeichnung: NICHTFLÜCHTIGE SPEICHERZELLE, SPEICHERZELLEN-ANORDNUNG UND VERFAHREN ZUM HERSTELLEN EINER NICHTFLÜCHTIGEN SPEICHERZELLE



(57) Abstract: The invention relates to a non-volatile memory cell, memory cell arrangement and method for production of a non-volatile memory cell. The non-volatile memory cell comprises a vertical field-effect transistor, with a nanoelement arranged as channel region and an electrical insulating layer at least partly surrounding the nanoelement as charge storage layer and as gate-insulating layer. The above is arranged such that electric charge carriers may be selectively introduced into or removed from the above and the electrical conductivity characteristics of the nanoelement may be influenced by the electrical charge carriers introduced into electrical insulating layer.

[Fortsetzung auf der nächsten Seite]

**WO 2004/040667 A1**



(84) Bestimmungsstaaten (*regional*): europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("*Guidance Notes on Codes and Abbreviations*") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

---

(57) Zusammenfassung: Die Erfindung betrifft eine nichtflüchtige Speicherzelle, eine Speicherzellen-Anordnung und ein Verfahren zum Herstellen einer nichtflüchtigen Speicherzelle. Die nichtflüchtige Speicherzelle enthält einen Vertikal-Feldeffekttransistor mit einem als Kanal-Bereich eingerichteten Nanoelement und eine das Nanoelement zumindest teilweise umgebende elektrisch isolierende Schicht als Ladungsspeicherschicht und als Gate-isolierende Schicht. Diese ist derart eingerichtet, dass elektrische Ladungsträger selektiv darin einbringbar oder daraus entfernbare sind, und dass die elektrische Leitfähigkeit des Nanoelements charakteristisch von in der elektrisch isolierenden Schicht eingebrachten elektrischen Ladungsträgern beeinflussbar ist.

**Beschreibung****Nichtflüchtige Speicherzelle, Speicherzellen-Anordnung und Verfahren zum Herstellen einer nichtflüchtigen Speicherzelle**

5

Die Erfindung betrifft eine nichtflüchtige Speicherzelle, eine Speicherzellen-Anordnung und ein Verfahren zum Herstellen einer nichtflüchtigen Speicherzelle.

10 Die herkömmliche Silizium-Mikroelektronik wird bei weiter voranschreitender Verkleinerung an ihre Grenzen stoßen. Bei einem Feldeffekttransistor nehmen mit fortgesetzter Miniaturisierung störende Kurzkanaleffekte zu, welche die Leistungsfähigkeit des Feldeffekttransistors einschränken. Zu 15 den Problemen, die bei einem einzelnen Bauelement auftreten, kommt bei einer Speicher-Anordnung noch eine begrenzte Skalierbarkeit des Speichermediums hinzu, beispielsweise kann die Kapazität in einem DRAM ("Dynamic Random Access Memory") nicht beliebig skaliert werden.

20

Als mögliche Nachfolgetechnologie für die Silizium-Mikroelektronik wird die Verwendung von Kohlenstoffnanoröhren diskutiert. Grundlagen über Kohlenstoffnanoröhren sind beispielsweise in [1] beschrieben. Es ist bekannt, dass 25 Kohlenstoffnanoröhren (in Abhängigkeit von den Röhrenparametern) ein von halbleitend bis metallisches elektrisches Leitfähigkeits-Verhalten aufweisen.

Aus [2] ist bekannt, in eine Gate-Elektroden-Schicht ein 30 Durchgangsloch einzubringen, und in diesem ein vertikales Nanoelement aufzuwachsen. Dadurch wird ein vertikaler Feldeffekttransistor mit dem Nanoelement als Kanal-Bereich erhalten, wobei die elektrische Leitfähigkeit des Kanal-Bereichs mittels des das Nanoelement entlang annähernd seiner 35 gesamten Längserstreckung umgebenden Gate-Elektroden-Bereich steuerbar ist.

Aus [3] ist ein Feldeffekttransistor mit einer Kohlenstoffnanoröhre als Kanal-Bereich bekannt, die horizontal auf einem Substrat aufgebracht ist. Die Kohlenstoffnanoröhre ist an zwei Endabschnitten mit ersten 5 bzw. zweiten Source-/Drain-Bereichen gekoppelt. Auf der Kohlenstoffnanoröhre ist eine Gate-isolierende Schicht aufgebracht. Auf der Gate-isolierenden Schicht in einem Bereich zwischen den beiden Source-/Drain-Bereichen ist ein elektrisch leitfähiger Gate-Bereich aufgebracht, wobei 10 mittels Anlegens einer elektrischen Spannung an den Gate-Bereich die Leitfähigkeit der Kohlenstoffnanoröhre steuerbar ist. Die gemäß [3] horizontal aufgebrachte Kohlenstoffnanoröhre erfordert einen großen Platzbedarf eines solchen Feldeffekttransistors, was dem Trend zur 15 Miniaturisierung entgegenwirkt.

Ferner ist aus dem Stand der Technik bekannt, als Permanentspeicher eine sogenannte EEPROM-Speicherzelle ("Electrically Erasable Programmable Read-Only Memory") bzw. 20 eine Flash-Speicherzelle zu verwenden, bei denen in in einem Floating Gate bzw. in einer Ladungsspeicherschicht gespeicherten elektrischen Ladungsträgern die Speicherinformation codiert ist. In dem elektrisch leitfähigen Floating-Gate bzw. in der elektrisch isolierenden 25 Ladungsspeicherschicht ("trapping layer") enthaltene Information kann mittels einer Verschiebung der Einsatzspannung des Speicher-Transistors ausgelesen werden.

Allerdings weisen die bekannten EEPROM bzw. Flash-Speicherzellen das Problem auf, dass bei einer fortgesetzten 30 Miniaturisierung störende Kurzkanaleffekte bei den beteiligten Transistoren auftreten.

[4] offenbart ein elektronisches Bauelement aus elektrisch 35 leitenden ersten Nanodrähten, einem auf den ersten Nanodrähten aufgebrachten Schichtsystem und auf dem Schichtsystem aufgebrachten zweiten Nanodrähten, wobei die

ersten und zweiten Nanodrähte zueinander windschief angeordnet sind. Von den Nanodrähten erzeugte Ladungsträger sind in dem Schichtsystem speicherbar.

- 5 [5], [6] offenbaren jeweils eine Speicherzelle aus einem Silizium-Substrat als Gate-Bereich, einer auf dem Silizium-Substrat ausgebildeten Siliziumoxid-Schicht und einer darauf ausgebildeten Nanoröhre, wobei Ladungsträger in die Siliziumoxid-Schicht einbringbar sind.

10

[7] offenbart einen vertikalen nanodimensionalen Transistor unter Verwendung von Kohlenstoffnanoröhren und ein Verfahren zum Herstellen eines solchen Transistors.

- 15 [8] offenbart einen Feldeffekttransistor mit einer ersten und einer zweiten Nanoröhre, wobei die erste Nanoröhre einen Source-Bereich, einen Kanal-Bereich und einen Drain-Bereich bildet und wobei die zweite Nanoröhre einen Gate-Bereich bildet.

20

[9] offenbart Kohlenstoffnanoröhren, deren hohle Kerne mit einem leitfähigen Füllmaterial gefüllt sind.

- 25 [10] offenbart ein System und ein Verfahren zum Herstellen von Logikvorrichtungen mit Kohlenstoffnanoröhren-Transistoren.

Der Erfindung liegt insbesondere das Problem zugrunde, eine nichtflüchtige Speicherzelle bereitzustellen, die eine gegenüber dem Stand der Technik erhöhte Integrationsdichte ermöglicht.

Das Problem wird durch eine nichtflüchtige Speicherzelle, durch eine Speicherzellen-Anordnung und durch ein Verfahren zum Herstellen einer nichtflüchtigen Speicherzelle mit den Merkmalen gemäß den unabhängigen Patentansprüchen gelöst.

Die nichtflüchtige Speicherzelle weist einen Vertikal-Feldeffekttransistor mit einem als Kanal-Bereich eingerichteten Nanoelement auf. Ferner ist eine das Nanoelement zumindest teilweise umgebende elektrisch isolierende Schicht als Ladungsspeicherschicht und als Gate-isolierende Schicht vorgesehen. Diese ist derart eingerichtet, dass elektrische Ladungsträger selektiv darin einbringbar oder daraus entfernbare sind. Ferner ist die Ladungsspeicherschicht derart eingerichtet, dass die elektrische Leitfähigkeit des Nanoelementes charakteristisch von in der elektrisch isolierenden Schicht eingebrachten elektrischen Ladungsträgern beeinflussbar ist.

Darüber hinaus ist erfindungsgemäß eine Speicherzellen-Anordnung mit einer Mehrzahl von nebeneinander und/oder aufeinander ausgebildeten Speicherzellen mit den oben beschriebenen Merkmalen geschaffen.

Gemäß dem erfindungsgemäßen Verfahren zum Herstellen einer nichtflüchtigen Speicherzelle wird ein Vertikal-Feldeffekttransistor mit einem als Kanal-Bereich eingerichteten Nanoelement ausgebildet. Ferner wird eine das Nanoelement zumindest teilweise umgebende elektrisch isolierende Schicht als Ladungsspeicherschicht und als Gate-isolierende Schicht ausgebildet. Die elektrisch isolierende Schicht wird derart eingerichtet, dass elektrische Ladungsträger selektiv darin einbringbar oder daraus entfernbare sind. Ferner wird die elektrisch isolierende Schicht derart eingerichtet, dass die elektrische Leitfähigkeit des Nanoelements charakteristisch von in der elektrisch isolierenden Schicht eingebrachten elektrischen Ladungsträgern beeinflussbar ist.

Eine Grundidee der Erfindung ist darin zu sehen, dass eine nichtflüchtige Vertikaltransistor-Speicherzelle mit einem Nanoelement einer Dimension im Nanometer-Bereich geschaffen ist, wobei die Gate-isolierende Schicht anschaulich als

Ladungsspeicherschicht mitverwendet wird. Unter Verwendung eines Vertikal-Feldeffekttransistors kann der Kanal-Bereich ausreichend lang realisiert sein, dass störende Kurzkanaleffekte vermieden sind, und dass aufgrund der

5 vertikalen Anordnung simultan eine hohe Integrationsdichte erreichbar ist. Die geringe Querschnittsfläche eines Nanoelements im Bereich weniger Nanometer ermöglicht eine außerordentlich hohe Integrationsdichte, d.h. Dichte von Speicherzellen in einer Speicherzellen-Anordnung. Mittels der

10 das Nanoelement umgebenden elektrisch isolierenden Schicht als Ladungsspeicherschicht ist eine besonders empfindliche Abhängigkeit der Parameter des Feldeffekttransistors (insbesondere der Schwellenspannung) von darin eingebrachten elektrischen Ladungsträgern realisiert. Solche Ladungsträger

15 können in die nichtflüchtige Speicherzelle, genauer gesagt in deren Ladungsspeicherschicht, beispielsweise mittels Fowler-Nordheim-Tunnelns eingebracht werden. Dadurch ist ein ausreichend sicheres Schreiben, Lesen und Löschen von Informationen der nichtflüchtigen Speicherzelle

20 sichergestellt. Bei Verwendung einer elektrisch isolierenden Schicht als Ladungsspeicherschicht und simultan als Gate-isolierende Schicht, beispielsweise eine ONO-Schicht oder eine Aluminiumoxid-Schicht, ist eine ausreichend lange Haltezeit einer gespeicherten Information mit einem

25 ausreichend schnellen Auslesen kombiniert.

Ein wesentlicher Vorteil der erfindungsgemäßen Speicherzelle ist, dass aufgrund des sehr geringen Durchmessers des Nanoelements in der Größenordnung von einem Nanometer und

30 aufgrund der vertikalen Anordnung der Nanoelemente eine wesentlich höhere Skalierbarkeit gegeben ist, verglichen mit konventionellen planaren Flashzellen. Ferner ist vorteilhaft, dass die Nanoelemente im Vergleich zu herkömmlichen Silizium-Transistoren eine wesentlich verbesserte Stromtreiber-

35 Fähigkeit aufweisen. Darüber hinaus ist vorteilhaft, dass bei der erfindungsgemäßen Speicherzelle der Kanal-Bereich des Transistors nicht aus einem einkristallinen Ausgangsmaterial

herausgearbeitet werden muss, was bei der herkömmlichen Silizium-Mikroelektronik die Beschränkung auf im Wesentlichen zwei-dimensionale Anordnungen zur Folge hat.

- 5 Anschaulich kann ein wesentlicher Aspekt der Erfindung darin gesehen werden, dass eine vorteilhafte Kombination der elektrischen Eigenschaften von Nanoelementen mit Prozessen der Silizium-Mikrotechnologie zum Herstellen eines hochskalierbaren elektrischen Permanentsspeichers realisiert  
10 ist.

Erfindungsgemäß wird ein Vertikal-Feldeffekttransistor mit einem Nanoelement als Kanal-Bereich dahingehend ausgestaltet und betrieben, dass er als Permanentsspeicher-Element

- 15 verwendbar ist. Hierfür wird ein derartiges Gate-Dielektrikum (z.B. Aluminiumoxid,  $\text{Al}_2\text{O}_3$ ) bzw. eine Schichtenfolge von Dielektrika (z.B. Siliziumoxid-Siliziumnitrid-Siliziumoxid, ONO-Schichtenfolge) gewählt, dass ein Speichern von elektrischen Ladungsträgern sowie ein Beschreiben der  
20 Speicherzelle bzw. ein Löschen der Speicherinformation ermöglicht ist.

Anschaulich kann ein Aspekt der Erfindung darin gesehen werden, dass ein NROM- ("nitrided read only memory")

- 25 Flashspeicher mit einem vertikalen Nanoelement als Kanal-Bereich geschaffen ist.

Vorzugsweise ist die elektrisch isolierende Schicht eine Siliziumoxid-Siliziumnitrid-Siliziumoxid-Schichtenfolge oder  
30 eine Aluminiumoxid-Schicht. Darüber hinaus ist eine geeignet eingerichtete Siliziumnitrid-Schicht, eine Hafniumoxid-Schicht oder eine beliebige andere elektrisch isolierende Schicht als Ladungsspeicherschicht verwendbar.

- 35 Das Nanoelement kann eine Nanoröhre, ein Bündel von Nanoröhren oder ein Nanostäbchen aufweisen. Bei einer Realisierung des Nanoelements als Nanostäbchen kann dieses

aus Silizium, Germanium, Indiumphosphid, Galliumnitrid, Galliumarsenid, Zirkoniumoxid, und/oder einem Metall gebildet sein.

- 5 Bei einer Ausgestaltung des Nanoelements als Nanoröhre kann diese eine Kohlenstoffnanoröhre, eine Kohlenstoff-Bor-Nanoröhre, eine Kohlenstoff-Stickstoff-Nanoröhre, eine Wolframsulfid-Nanoröhre oder eine Chalkogenid-Nanoröhre sein.
- 10 Die erfindungsgemäße Speicherzelle kann eine erste elektrisch leitfähige Schicht als ersten Source-/Drain-Bereich des Feldeffekttransistors aufweisen, auf welcher das Nanoelement aufgewachsen ist. Die erste elektrisch leitfähige Schicht kann insbesondere aus einem Material hergestellt sein, welche das Aufwachsen von Kohlenstoffnanoröhren katalytisch unterstützt. In diesem Szenario kann die erste elektrisch leitfähige Schicht zum Katalysieren des Ausbildens des Nanoelements und simultan als Source-/Drain-Bereich verwendet werden.
- 15 20 Die Speicherzelle kann ferner eine zweite elektrisch leitfähige Schicht als Gate-Bereich des Feldeffekttransistors aufweisen, welche die elektrisch isolierende Schicht zumindest teilweise umgibt. Gemäß dieser Ausgestaltung umgibt der Gate-Bereich das Nanoelement, durch die dazwischen angeordnete ringförmige bzw. hohlzylinderförmige elektrisch isolierende Schicht getrennt, so dass ein besonders sensitives Ansteuern des Nanoelements ermöglicht ist.
- 25 30 Die erfindungsgemäße Speicherzelle kann eine dritte elektrisch leitfähige Schicht als zweiter Source-/Drain-Bereich des Feldeffekttransistors aufweisen, welche auf dem Nanoelement ausgebildet ist.
- 35 Die Speicherzelle kann auf und/oder in einem Substrat ausgebildet sein, welches aus polykristallinem oder amorphem Material hergestellt sein kann. Es ist ein Vorteil der

Erfindung, dass für die erfindungsgemäße Speicherzellen-Architektur ein teures einkristallines Silizium-Substrat entbehrlich ist, und dass auf ein kostengünstiges Substrat zurückgegriffen werden kann.

5

Die Speicherzelle kann ausschließlich aus dielektrischem Material, metallischem Material und Material der Nanostruktur gebildet sein. In einer solchen Konfiguration ist ein häufig teures Halbleiter-Substrat (beispielsweise ein kristalliner Silizium-Wafer), entbehrlich.

10 Die Dicke der zweiten elektrisch leitfähigen Schicht kann kleiner als eine Längsausdehnung des Nanoelements vorgesehen sein derart, dass die das Nanoelement umgebende elektrisch isolierende Schicht und die zweite elektrisch leitfähige Schicht einen Teil des Nanoelements umgebende Ringstruktur bilden.

15 Es kann die das Nanoelement zumindest teilweise umgebende elektrisch isolierende Schicht als das Nanoelement ringförmig umgebend vorgesehen sein, welche elektrisch isolierende Schicht die Gate-Isolationsschicht und die Ladungsspeicherschicht der Vertikaltransistor-Speicherzelle bildet. Ferner kann zumindest ein Teil des elektrisch isolierenden Rings von der zweiten elektrisch leitfähigen Schicht umgeben sein, welche die Gate-Elektrode des Vertikal-Schalt-Transistors und die Wort-Leitung bildet.

20 Indem das halbleitende Nanoelement in einem Teilbereich davon von einer elektrisch isolierenden Ringstruktur statt von einer hohlzylinderförmigen elektrisch isolierenden Struktur umgeben ist, ist eine Gate-isolierende Schicht und simultan eine Ladungsspeicherschicht bereitgestellt, welche von dem als Gate-Elektrode fungierenden ersten elektrisch leitfähigen Bereich umgeben ist. Mittels Anlegens einer geeigneten Spannung an den Gate-Bereich kann in dem als Kanal-Bereich fungierenden Bereich des Nanoelements, das von der

Ringstruktur umgeben ist, die Leitfähigkeit des Nanoelements besonders sensitiv beeinflusst werden. Mittels Verwendens einer ringförmigen Gate-Isolationsschicht kann aufgrund eines elektrostatischen Spitzeneffekts die Amplitude eines mittels

- 5 Anlegens einer elektrischen Spannung an die Gate-Elektrode oder mittels Einbringens von elektrischen Ladungsträgern in die Ladungsspeicherschicht generierten elektrischen Felds nahe des Nanoelements besonders groß gemacht werden, so dass eine besonders exakte Steuerung der elektrischen
- 10 Leitfähigkeit des Kanal-Bereichs ermöglicht ist. Dadurch ist mittels Verwendens einer Ringstruktur als Gate-Isolationsschicht eine Speicherzelle mit einer besonders hohen Genauigkeit und Fehlerrobustheit beim Auslesen von Speicherinformation geschaffen. Eine solche Ringstruktur kann
- 15 zum Beispiel dadurch erzeugt werden, dass die Dicke der zweiten elektrisch leitfähigen Schicht dünner, vorzugsweise wesentlich dünner, gewählt wird als die Längsausdehnung des Nanoelements.
- 20 Im Weiteren wird das erfundungsgemäße Verfahren zum Herstellen einer nichtflüchtigen Speicherzelle näher beschrieben. Ausgestaltungen der Speicherzelle gelten auch für das Verfahren zum Herstellen der Speicherzelle und umgekehrt.

25

Gemäß dem Verfahren kann eine erste elektrisch leitfähige Schicht als erster Source-/Drain-Bereich des Feldeffekttransistors ausgebildet werden und nachfolgend eine zweite elektrisch leitfähige Schicht als Gate-Bereich des

- 30 Feldeffekttransistors ausgebildet werden. Ein Teilbereich der ersten elektrisch leitfähigen Schicht kann freigelegt werden, indem ein Durchgangsloch in die zweite elektrisch leitfähige Schicht eingebracht wird. Ferner kann die elektrisch isolierende Schicht auf der Oberfläche des Durchgangslochs
- 35 ausgebildet werden. Das Nanoelement kann auf dem freigelegten Teilbereich der ersten elektrisch leitfähigen Schicht in dem Durchgangsloch aufgewachsen werden, vorzugsweise mittels

10

thermischen Oxidierens ausgebildet werden. Im Falle des Einbringens von elektrisch isolierendem Material in das Durchgangsloch ist darauf zu achten, dass ein Verstopfen des Durchgangslochs vermieden ist, um eine einwandfreie

- 5 Funktionalität der Speicherzelle zu gewährleisten.

Auf diese Weise ist es mit geringem Kosten- und Zeitaufwand ermöglicht, die erfindungsgemäße Speicherzelle herzustellen.

- 10 Alternativ kann eine erste elektrisch leitfähige Schicht als erster Source-/Drain-Bereich des Feldeffekttransistors ausgebildet werden und nachfolgend eine Hilfsschicht ausgebildet werden. Ein Teilbereich der ersten elektrisch leitfähigen Schicht kann freigelegt werden, indem ein  
15 Durchgangsloch in die Hilfsschicht eingebracht wird. Das Nanoelement kann auf dem freigelegten Teilbereich der ersten elektrisch leitfähigen Schicht in dem Durchgangsloch aufgewachsen werden und die Hilfsschicht entfernt werden. Die elektrisch isolierende Schicht kann nachfolgend auf der  
20 Oberfläche des Nanoelements aufgebracht werden. Gemäß dieser Ausgestaltung kann die elektrisch isolierende Schicht als Ladungsspeicherschicht und als Gate-isolierende Schicht anschaulich auf einem freiliegenden Nanoelement selbst aufgebracht werden, was vielfältige Möglichkeiten für die  
25 Materialwahl der Ladungsspeicherschicht eröffnet. Ferner ist die Gefahr eines Verstopfens des Durchgangslochs beim Einbringen von elektrisch isolierendem Material darin mittels dieser Ausgestaltung besonders sicher vermieden.  
30 Gemäß einer weiteren Alternative kann das Nanoelement zunächst freistehend auf einem Source-/Drain-Bereich vertikal aufgewachsen werden und nachfolgend der restliche Vertikal-Feldeffekttransistor ausgebildet werden.  
35 Zum Beispiel können bei dieser Ausgestaltung Katalysatormaterial-Spots geringen Durchmessers unter Verwendung eines Lithographie- und eines Ätz-Verfahrens auf

einem Substrat aufgebracht werden, und es können auf den lithographisch definierten Katalysatormaterial-Spots freistehend vertikale bzw. im Wesentlichen vertikale Nanoelemente aufgewachsen werden. Nachfolgend können um das

5 aufgewachsene Nanoelement herum die weiteren Komponenten des Vertikal-Feldeffekttransistors ausgebildet werden.

Beispielsweise kann zunächst elektrisch isolierendes Material als Gate-isolierende Schicht und simultan als Ladungsspeicherschicht auf dem Nanoelement abgeschieden

10 werden und nachfolgend die weiteren Komponenten (Gate-Bereich, zweiter Source-/Drain-Bereich etc.) ausgebildet werden. Die Katalysatormaterial-Spots können beispielsweise aus Nickel-Material mit einem Durchmesser von ungefähr 50nm ausgebildet werden. Insbesondere unter Verwendung eines

15 Plasma-CVD-Verfahrens ("Chemical Vapour Deposition") sind dann vertikale freistehende Kohlenstoffnanoröhren ausbildbar, ohne dass das vorhergehende Ausbilden von Poren in einer Schicht als Schablonen zum Aufwachsen der Kohlenstoffnanoröhren erforderlich ist..

20 Die Herstellung der erfindungsgemäßen Speicherzelle kann so erfolgen, dass eine Gate-Elektrode aus metallischem oder metallisch leitfähigem Material über einer anderen elektrisch leitfähigen Schicht auf einem Substrat ausgebildet wird. Die

25 direkt auf dem Substrat aufgebrachte metallische Schicht kann für das spätere Aufwachsen der Nanoröhren bzw. Nanodrähte als Katalysator dienen. Simultan kann sie die Funktionalität eines ersten Source-/Drain-Bereichs erfüllen. In dem Stapel kann eine Anordnung von Poren, beispielsweise mittels

30 Einbringens von Durchgangslöchern in die Gate-Elektrode unter Verwendung der Elektronenstrahllithographie und eines anisotropen Ätz-Verfahrens, hergestellt werden. Mittels der so erzeugten Poren kann die Katalysatorschicht freigelegt werden. Die Seitenwände der Poren als Oberfläche der Gate-

35 Elektrode können mit einem Dielektrikum bzw. mit einer Schichtenfolge von Dielektrika (z.B. ONO-Schichtenfolge) belegt werden. Optional kann anschließend der Porenboden der

## 12

unteren elektrisch leitfähigen Schicht freigelegt werden, sofern dieser von dem zuvor abgeschiedenen dielektrischen Material belegt ist. In einem CVD-Verfahrensschritt ("Chemical Vapour Deposition") können anschließend auf der an 5 dem Porenboden freigelegten Katalysatorschicht die vorzugsweise halbleitenden Nanoröhrchen bzw. Nanodrähte in den Poren aufgewachsen werden. Mittels Abscheidens und Strukturierens einer zweiten Source-/Drain-Elektrode kann die erfindungsgemäße Speicherzelle vollendet werden.

10

Beim Betrieb der Speicherzelle erfolgt ein Programmieren, Löschen oder Auslesen von Speicherinformation, welche in elektrischen Ladungsträgern kodiert ist, die in die Ladungsspeicherschicht eingebracht sind bzw. werden. Das 15 Programmieren/Löschen von Speicherinformation erfolgt vorzugsweise mittels Fowler-Nordheim-Tunnelns oder mittels Tunnelns von heißen Elektronen ("hot electrons") oder heißen Löchern ("hot holes"), wodurch elektrische Ladungsträger (Elektronen, Löcher) in die Ladungsspeicherschicht dauerhaft 20 eingebracht werden bzw. daraus entfernt werden. Zum Auslesen der Speicherinformation wird der Effekt verwendet, dass die elektrischen Eigenschaften des Speicherzellen-Feldeffekttransistors von in der Ladungsspeicherschicht eingebrachten Ladungsträgern charakteristisch beeinflusst 25 werden. Beispielsweise ist in Abhängigkeit von Menge und Ladungsträgertyp (positive oder negative Ladung) der in der Ladungsspeicherschicht enthaltenen Ladungsträger die Schwellenspannung des Feldeffekttransistors modifiziert. Somit kann bei Anlegen einer vorgebbaren elektrischen 30 Spannung zwischen die Source-/Drain-Bereiche des Feldeffekttransistors der Wert des daraus resultierenden elektrischen Stroms dazu verwendet werden, die Speicherinformation der Speicherzelle zu ermitteln.

35 Es ist ein wichtiger Aspekt der erfindungsgemäßen Speicherzellen-Architektur, einen Schaltkreis mit mehreren unterschiedlichen Komponenten (z.B. erfindungsgemäßen

13

Speicherzellen, Feldeffekttransistoren und Logik-Bauelementen), die miteinander verschaltet sind, bereitzustellen.

- 5 Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Weiteren näher erläutert.

Es zeigen:

- 10 Figuren 1A, 1B Schichtenfolgen zu unterschiedlichen Zeitpunkten während eines Verfahrens zum Herstellen einer Speicherzelle gemäß einem ersten Ausführungsbeispiel der Erfindung,

- 15 Figur 1C eine nichtflüchtige Speicherzelle gemäß einem ersten Ausführungsbeispiel der Erfindung,

- 20 Figuren 2A bis 2E Schichtenfolgen zu unterschiedlichen Zeitpunkten während eines Verfahrens zum Herstellen einer Speicherzelle gemäß einem zweiten Ausführungsbeispiel der Erfindung,

- 25 Figur 2F eine nichtflüchtige Speicherzelle gemäß einem zweiten Ausführungsbeispiel der Erfindung,

- 30 Figuren 3A, 3B Schichtenfolgen zu unterschiedlichen Zeitpunkten während eines Verfahrens zum Herstellen einer Speicherzelle gemäß einem dritten Ausführungsbeispiel der Erfindung,

- 35 Figur 4 eine Speicherzellen-Anordnung gemäß einem Ausführungsbeispiel der Erfindung.

- Gleiche oder ähnliche Komponenten in unterschiedlichen Figuren sind mit gleichen Bezugsziffern versehen.

Im Weiteren wird bezugnehmend auf Fig.1A bis Fig.1C ein Verfahren zum Herstellen einer Speicherzelle gemäß einem ersten Ausführungsbeispiel der Erfindung beschrieben.

- 5 Um die in **Fig.1A** gezeigte Schichtenfolge 100 zu erhalten, wird auf einem Glas-Substrat 101 (alternativ kann auch ein Silizium-Substrat etc. verwendet werden) ein für das Aufwachsen von Kohlenstoffnanoröhren katalytisch aktives Material (z.B. Nickel, Kobalt oder Eisen) abgeschieden und
- 10 derart strukturiert, dass dadurch ein erster Source-/Drain-Bereich 102 auf dem Glas-Substrat 101 ausgebildet wird. Ferner wird auf der so erhaltenen Schichtenfolge eine erste elektrisch isolierende Schicht 102 mittels Abscheidens von Siliziumnitrid-Material ausgebildet. Alternativ kann diese
- 15 Schicht auch aus einem anderen dielektrischen Material, beispielsweise Siliziumoxid oder Aluminiumoxid hergestellt werden. In einem weiteren Verfahrensschritt wird Aluminium-Material auf der erhaltenen Schichtenfolge abgeschieden und unter Verwendung eines Lithographie- und eines Ätz-Verfahrens
- 20 derart strukturiert; dass dadurch ein Gate-Bereich 104 gebildet wird. Alternativ kann statt Aluminium-Material auch Polysilizium-Material, Tantalnitrid-Material, etc. verwendet werden.
  
- 25 Um die in **Fig.1B** gezeigte Schichtenfolge 110 zu erhalten, wird eine zweite elektrisch isolierende Schicht 111 auf der Schichtenfolge 100 abgeschieden und unter Verwendung eines CMP-Verfahrens ("Chemical Mechanical Polishing") mit dem Gate-Bereich 104 als Stoppschicht planarisiert. Ferner werden
- 30 unter Verwendung eines Lithographie und eines Ätz-Verfahrens Durchgangslöcher 112 in den Gate-Bereich 104 und in die erste elektrisch isolierende Schicht 103 eingebracht. Anschaulich wird dadurch eine Porenmaske ausgebildet, wobei die Poren oder Durchgangslöcher 112 in einem nachfolgenden
- 35 Verfahrensschritt als Schablonen für das Aufwachsen von Kohlenstoffnanoröhren verwendet werden.

Um die in **Fig.1C** gezeigte nichtflüchtige Speicherzelle 120 gemäß einem ersten Ausführungsbeispiel der Erfindung zu erhalten, wird zunächst mittels thermischen Oxidierens eine Gate-isolierende Ladungsspeicherschicht 121 auf freiliegenden 5 Oberflächenbereichen des aus Aluminium-Material gebildeten Gate-Bereichs 104 ausgebildet. Daher ist die Gate-isolierende Ladungsspeicherschicht 121 aus Aluminiumoxid-Material gebildet. Alternativ kann eine konforme Abscheidung eines dielektrischen Materials und eine anschließende anisotrope 10 Rückätzung durchgeführt werden, um die Gate-isolierende Ladungsspeicherschicht 121 auszubilden. Die Gate-isolierende Ladungsspeicherschicht 121 dient simultan als Gate-isolierender Bereich des Feldeffekttransistors und als Ladungsspeicherschicht der Speicherzelle 120, in welche 15 Ladungsspeicherschicht 120 elektrische Ladungsträger selektiv einbringbar sind bzw. aus welcher Ladungsspeicherschicht 120 elektrische Ladungsträger selektiv entfernt werden können. Ferner ist die Gate-isolierende Ladungsspeicherschicht 121 derart eingerichtet, dass die elektrische Leitfähigkeit einer im 20 Weiteren auszubildenden Kohlenstoffnanoröhre charakteristisch mittels in der Gate-isolierenden Ladungsspeicherschicht 121 eingebrachten elektrischen Ladungsträgern beeinflussbar ist.

In einem weiteren Verfahrensschritt werden unter Verwendung 25 eines CVD-Verfahrens ("Chemical Vapour Deposition") halbleitende Kohlenstoffnanoröhren 122 in den Durchgangslöchern 112 aufgewachsen, wobei das Nickel-Material des ersten Source-/Drain-Bereichs 102 das Aufwachsen der Kohlenstoffnanoröhren 122 katalytisch unterstützt. In einem optionalen weiteren Verfahrensschritt kann zusätzliches 30 elektrisch isolierendes Material zum Füllen etwaiger Hohlräume zwischen der Gate-isolierenden Ladungsspeicherschicht 121 und den in einem jeweiligen Durchgangsloch 112 ausgebildeten Kohlenstoffnanoröhren 122 abgeschieden werden. Die so erhaltene Schichtenfolge wird 35 unter Verwendung eines CMP-Verfahrens planarisirt. Ferner erfolgt ein reaktives Rückätzen des abgeschiedenen Materials,

um gemäß Fig.1C obere Endabschnitte der Kohlenstoffnanoröhren 122 zum Kontaktieren mit einem im Weiteren aufzubringenden Source-/Drain-Bereich freizulegen. Im Weiteren wird Nickel-Material als zweiter Source-/Drain-Bereich 123 derart  
5 abgeschieden, dass die freigelegten oberen Endabschnitte der Kohlenstoffnanoröhren 122 mit dem Material des zweiten Source-/Drain-Bereichs 123 kontaktiert werden.

Dadurch ist die in **Fig.1C** gezeigte nichtflüchtige  
10 Speicherzelle 120 hergestellt. Diese enthält zwei Kohlenstoffnanoröhren 121. Selbstverständlich ist es möglich, eine erfindungsgemäße Speicherzelle unter Verwendung von nur einer Kohlenstoffnanoröhre oder mehr als zwei Kohlenstoffnanoröhren auszubilden.  
15

Mittels Fowler-Nordheim-Tunnelns oder mittels Tunnelns heißer Elektronen (bzw. heißer Löcher) können elektrische Ladungsträger in die Gate-isolierende Ladungsspeicherschicht 121 selektiv eingebracht werden. Sind solche Ladungsträger  
20 dauerhaft in die Gate-isolierende Ladungsspeicherschicht 121 aus Aluminiumoxid-Material eingebracht, so sind dadurch die elektrischen Eigenschaften (z.B. Schwellenspannung) des zugehörigen Transistors charakteristisch verändert, so dass bei Anlegen einer vorgebbaren elektrischen Spannung zwischen  
25 die beiden Source-/Drain-Bereiche 102, 123 der Wert des durch den Kanal-Bereich 122 fließenden elektrischen Stroms charakteristisch von Anzahl und Vorzeichen der in der Gate-isolierenden Ladungsspeicherschicht 121 eingebrachten Ladungsträger abhängig ist. Die nichtflüchtige Speicherzelle  
30 120 ist somit als Permanent-Speicherzelle mit großer Haltezeit betreibbar, in der mittels Anlegens geeigneter elektrischer Potentiale an die Source-/Drain-Bereiche 102, 123 und an den Gate-Bereich 104 Information in der Ladungsspeicherschicht 121 mit einer kurzen Programmierzeit  
35 speicherbar ist. Ferner ist mittels Anlegens geeigneter elektrischer Potentiale an die Source-/Drain-Bereiche 102, 123 und an den Gate-Bereich 104 Information mit einer

ausreichend schnellen Lösch- bzw. Lesezeit daraus entfernbare bzw. auslesbar.

- 5 Im Weiteren wird bezugnehmend auf Fig.2A bis Fig.2F ein Verfahren zum Herstellen einer Speicherzelle gemäß einem zweiten Ausführungsbeispiel der Erfindung beschrieben.

10 Um die in **Fig.2A** gezeigte Schichtenfolge 200 zu erhalten, wird für das Aufwachsen von Kohlenstoffnanoröhren katalytisch aktives Nickel-Material als erster Source-/Drain-Bereich 102 auf einem Glas-Substrat 100 abgeschieden.

15 Um die in **Fig.2B** gezeigte Schichtenfolge 210 zu erhalten, wird eine Siliziumoxid-Schicht 211 auf der Oberfläche der Schichtenfolge 200 abgeschieden und unter Verwendung eines Lithographie- und eines Ätz-Verfahrens mit einer vorgebbaren Porenmaske derart strukturiert,...dass Durchgangslöcher 112 in die Siliziumoxid-Schicht 211 eingebracht werden. Dadurch werden Oberflächenbereiche des für das Aufwachsen von 20 Kohlenstoffnanoröhren katalytisch wirkenden Nickel-Materials des ersten Source-/Drain-Bereichs 102 freigelegt. Ferner dienen die Durchgangslöcher 112 als mechanische Führung zum nachfolgenden Aufwachsen von Kohlenstoffnanoröhren.

25 Um die in **Fig.2C** gezeigte Schichtenfolge 220 zu erhalten, werden unter Verwendung eines CVD-Verfahrens halbleitende Kohlenstoffnanoröhren 122 in den Durchgangslöchern 112 vertikal aufgewachsen, wobei aufgrund der katalytischen Wirkung des Nickel-Materials des ersten Source-/Drain- 30 Bereichs 102 für das Aufwachsen von Kohlenstoffnanoröhren diese ausgehend von dem Source-/Drain-Bereich 102 aufzuwachsen beginnen.

35 Um die in **Fig.2D** gezeigte Schichtenfolge 230 zu erhalten, wird das dielektrische Material der Siliziumoxid-Schicht 211 unter Verwendung eines selektiven Ätz-Verfahrens entfernt. Ferner wird unter Verwendung eines konformen Abscheide-

Verfahrens (z.B. unter Verwendung eines ALD-Verfahrens, "Atomic Layer Deposition") eine Gate-isolierende Ladungsspeicherschicht 231 mit einer Speicherfunktion für elektrische Ladungsträger auf den Kohlenstoffnanoröhren 122 und dem ersten Source-/Drain-Bereich 102 abgeschieden. Die Gate-isolierende Ladungsspeicherschicht 231 ist gemäß dem beschriebenen Ausführungsbeispiel als Siliziumoxid-Siliziumnitrid-Siliziumoxid-Schichtenfolge (ONO-Schichtenfolge) realisiert. Unter Verwendung des ALD-Verfahrens ist es möglich, die Dicke einer abgeschiedenen Schicht bis auf die Genauigkeit einer Atomlage, das heißt, bis auf die Genauigkeit weniger Angstrom, einzustellen, so dass eine homogene Dicke der ONO-Schichtenfolge über die Kohlenstoffnanoröhren 122 hinweg sichergestellt ist. Ferner wird eine elektrisch leitfähige Schicht 232 aus Tantalnitrid (oder alternativ aus dotiertem Polysilizium-Material) auf der so erhaltenen Schichtenfolge abgeschieden und im Weiteren derart prozessiert, dass sie als Gate-Bereich der Feldeffekttransistoren der Speicherzelle dient.

Um die in Fig.2E gezeigte Schichtenfolge 240 zu erhalten, wird eine Siliziumnitrid-Schicht 241 auf der Schichtenfolge 230 abgeschieden und unter Verwendung eines CMP-Verfahrens derart planarisiert, dass ein gemäß Fig.2E oberer Endabschnitt der Kohlenstoffnanoröhren 122 freigelegt wird.

Um die in Fig.2F gezeigte nichtflüchtige Speicherzelle 250 zu erhalten, wird unter Verwendung eines selektiven Ätz-Verfahrens ein Oberflächenbereich der als Gate-Bereich dienenden elektrisch leitfähigen Schicht 232 zurückgeätzt. Ferner wird dielektrisches Material auf der Oberfläche der so erhaltenen Schichtenfolge abgeschieden und unter Verwendung eines CMP-Verfahrens planarisiert. Dadurch werden elektrisch isolierende Entkopplungselemente 251 ausgebildet. Optional kann dielektrisches Material rückgeätzt werden. Dann wird Nickel-Material auf der Oberfläche der so erhaltenen Schichtenfolge abgeschieden und strukturiert, wodurch ein

zweiter Source-/Drain-Bereich 123 an der Oberfläche der nichtflüchtigen Speicherzelle 250 gebildet wird. Der zweite Source-/Drain-Bereich 123 ist mit gemäß Fig.2F oberen Endabschnitten der Kohlenstoffnanoröhren 122 gekoppelt.

5

Anschaulich wird bei dem bezugnehmend auf Fig.2A bis Fig.2F beschriebenen Ausführungsbeispiel die Porenstruktur nach dem Aufwachsen der Kohlenstoffnanoröhren 121 entfernt, und es werden die weiteren Komponenten der Speicherzelle auf den freiliegenden Kohlenstoffnanoröhren 122 abgeschieden. Dies hat den Vorteil, dass im Prinzip beliebige Materialien für die Gate-isolierende Ladungsspeicherschicht 231 verwendet werden können.

10

15 Im Weiteren wird bezugnehmend auf Fig.3A, Fig.3B ein Verfahren zum Herstellen einer nichtflüchtigen Speicherzelle gemäß einem dritten Ausführungsbeispiel der Erfindung beschrieben.

20

Um die in Fig.3A gezeigte Schichtenfolge 300 zu erhalten, wird auf einem Glas-Substrat 101 ein erster Source-/Drain-Bereich 102 abgeschieden. Dieser wird gemäß dem beschriebenen Ausführungsbeispiel aus einem Material hergestellt, das elektrisch leitfähig ist und das (abweichend von den beiden ersten Ausführungsbeispielen) für das Aufwachsen von Kohlenstoffnanoröhren keine stark katalytische Wirkung aufweist (z.B. Polysilizium-Material). Auf dem ersten Source-/Drain-Bereich 102 wird eine dünne Nickel-Schicht aufgebracht und unter Verwendung eines Lithographie- und eines Ätz-Verfahrens derart strukturiert, dass Katalysatormaterial-Spots 301 aus für das Aufwachsen von Kohlenstoffnanoröhren katalytisch wirkendem Nickel-Material auf der Oberfläche der Schichtenfolge 300 ausgebildet werden. Die Katalysatormaterial-Spots 301 weisen eine Dimension von ungefähr 50nm auf und dienen anschaulich als Keime zum Aufwachsen von Kohlenstoffnanoröhren. Mit anderen Worten werden mittels der Katalysatormaterial-Spots 301 die Stellen

25

30

35

20

des späteren Aufwachsens von Kohlenstoffnanoröhren 122 definiert.

Um die in **Fig.3B** gezeigte Schichtenfolge 310 zu erhalten,  
5 werden unter Verwendung eines CVD-Verfahrens Kohlenstoffnanoröhren 122 auf den Katalysatormaterial-Spots 301 aufgewachsen. Aufgrund der starken katalytischen Wirkung der Katalysatormaterial-Spots 301 wachsen Kohlenstoffnanoröhren 122 selbst ohne Vorsehen von Poren im  
10 Wesentlichen vertikal auf dem ersten Source-/Drain-Bereich 102 auf.

Ausgehend von der Schichtenfolge 310 kann die Prozessierung so fortgesetzt werden, wie ausgehend von **Fig.2C** nach dem  
15 Entfernen der Siliziumoxid-Schicht 211.

Im Weiteren wird bezugnehmend auf **Fig.4** eine Speicherzellen-Anordnung 400 mit vier Speicherzellen 401 bis 404 gemäß einem bevorzugten Ausführungsbeispiel der Erfindung beschrieben.  
20

Auf einem Glas-Substrat 101, mittels einer ersten elektrisch isolierenden Hilfsschicht 406 voneinander elektrisch isoliert, sind erste Source-/Drain-Bereiche 405 der Speicherzellen 401 bis 404 ausgebildet. Zwischen jedem der  
25 ersten Source-/Drain-Bereiche 405 und zweiten Source-/Drain-Bereichen 412 auf der Oberfläche der Speicherzellen-Anordnung 400 ist jeweils eine vertikale Kohlenstoffnanoröhre 408 ausgebildet und mit jeweils zwei Source-/Drain-Bereich 405, 412 gekoppelt. Jede der Kohlenstoffnanoröhren 408 ist von  
30 einer Aluminiumoxid-Schicht als Gate-isolierende Ladungsspeicherschicht 410 umgeben. Um die Gate-isolierende Ladungsspeicherschicht 410 herum ist ein für die vier in **Fig.4** gezeigten Speicherzellen 401 bis 404 gemeinsamer Gate-Bereich 409 ausgebildet. Der Gate-Bereich 409 ist von den  
35 Source-/Drain-Bereichen 405 bzw. 412 mittels zweiter bzw. dritter elektrisch isolierender Schichten 407 bzw. 411 elektrisch entkoppelt. Mittels der separaten Source-/Drain-

Bereiche 405, 412 einer jeden Speicherzelle 401 bis 404 ist jede der Speicherzellen 401 bis 404 einzeln ansteuerbar. Ferner ist die elektrische Leitfähigkeit des Kanal-Bereichs 408 einer jeden Speicherzelle 401 bis 404 mittels Anlegens 5 einer entsprechenden elektrischen Spannung an den Gate-Bereich 409 steuerbar. In jede der Speicherzellen 401 bis 404 ist eine Information von 1 Bit programmierbar, daraus lösbar oder daraus auslesbar, welche Information in der Menge und dem Ladungsträgertyp von in eine jeweilige Gate- 10 isolierende Ladungsspeicherschicht 410 eingebrachten elektrischen Ladungsträgern kodiert ist. Zum Programmieren, Löschen oder Auslesen sind an die entsprechenden Anschlüsse 405, 410, 412 einer jeweiligen Speicherzelle 401 bis 404 entsprechende elektrische Potentiale anzulegen, analog wie 15 bei einem herkömmlichen NROM-Speicher.

Die Speicherzellen-Anordnung 400 stellt eine Schichtenfolge aus einer Vielzahl übereinander angeordneter im Wesentlichen planarer Schichten dar, durch welche hindurch sich die 20 Nanoelemente 408 vertikal erstrecken. Die Nanoelemente 408 sind mittels erster und zweiter Verdrahtungsebenen 405 und 412 beidseitig elektrisch kontaktiert. Mit der modularen Schaltungsarchitektur von Fig.4 ist ein Aufbau komplexer Schaltkreise mit geringem Aufwand ermöglicht.

In diesem Dokument sind folgende Veröffentlichungen zitiert:

[1] Harris, PJF (1999) "Carbon Nanotubes and Related Structures - New Materials for the Twenty-first Century.", Cambridge University Press, Cambridge. S. 5 1 to 15, 111 to 155

[2] DE 100 36 897 C1

10 [3] Wind, SJ, Appenzeller, J, Martel, R, Derycke, V, Avouris, P (2002) "Vertical scaling of carbon nanotube field-effect transistors using top gate electrodes", Applied Physical Letters, Volume 80, No.20, 3817-3819

15 [4] EP1,170,799 A2

[5] Fuhrer, MS, Kim, BM, Dürkop, T, Brintlinger, T (2002) "High-Mobility Nanotube Transistor Memory", Nanoletters Vol.2, No.7, S.755-759

20 [6] Radosavljevic, M, Freitag, M, Thadani, KV, Johnson, AT (2002) "Nonvolatile Molecular Memory Elements Based on Ambipolar Nanotube Field Effect Transistors", Nanoletters, Vol.2, No.7, S.761-764

25 [7] US 2002/0001905 A1

[8] DE 100 32 370 C1

30 [9] US 6,361,861 B2

[10] US 2001/0023986 A1

## Bezugszeichenliste

- 100 Schichtenfolge
- 101 Glas-Substrat
- 102 erster Source-/Drain-Bereich
- 103 erste elektrisch isolierende Schicht
- 104 Gate-Bereich
- 110 Schichtenfolge
- 111 zweite elektrisch isolierende Schicht
- 112 Durchgangslöcher
- 120 nichtflüchtige Speicherzelle
- 121 Gate-isolierende Ladungsspeicherschicht
- 122 Kohlenstoffnanoröhren
- 123 zweiter Source-/Drain-Bereich
- 200 Schichtenfolge
- 210 Schichtenfolge
- 211 Siliziumoxid-Schicht
- 220 Schichtenfolge
- 230 Schichtenfolge
- 231 Gate-isolierende Ladungsspeicherschicht
- 232 elektrisch leitfähige Schicht
- 240 Schichtenfolge
- 241 Siliziumnitrid-Schicht
- 250 nichtflüchtige Speicherzelle
- 251 elektrisch isolierende Entkopplungselemente
- 300 Schichtenfolge
- 301 Katalysatormaterial-Spots
- 310 Schichtenfolge
- 400 Speicherzellen-Anordnung
- 401 erste Speicherzelle
- 402 zweite Speicherzelle
- 403 dritte Speicherzelle
- 404 vierte Speicherzelle
- 405 erste Source-/Drain-Bereiche
- 406 erste elektrisch isolierende Hilfsschicht

- 407 zweite elektrisch isolierende Hilfsschicht
- 408 Kohlenstoffnanoröhren
- 409 Gate-Bereich
- 410 Gate-isolierende Ladungsspeicherschicht
- 411 dritte elektrisch isolierende Hilfsschicht
- 412 zweite Source-/Drain-Bereiche

**Patentansprüche:**

## 1. Nichtflüchtige Speicherzelle

- mit einem Vertikal-Feldeffekttransistor mit einem als Kanal-Bereich eingerichteten Nanoelement;
- mit einer das Nanoelement zumindest teilweise umgebenden elektrisch isolierenden Schicht als

10 Ladungsspeicherschicht und als Gate-isolierende Schicht, die derart eingerichtet ist, dass

- elektrische Ladungsträger selektiv darin einbringbar oder daraus entfernbare sind;
- die elektrische Leitfähigkeit des Nanoelements charakteristisch von in der elektrisch isolierenden Schicht eingebrachten elektrischen Ladungsträgern

15 beeinflussbar ist.

## 2. Speicherzelle nach Anspruch 1,

bei der die elektrisch isolierende Schicht

- eine Siliziumoxid-Siliziumnitrid-Siliziumoxid-Schichtenfolge; oder
- eine Aluminiumoxid-Schicht

ist.

## 3. Speicherzelle nach Anspruch 1 oder 2,

25 bei der das Nanoelement

- eine Nanoröhre
- ein Bündel von Nanoröhren oder
- ein Nanostäbchen

aufweist.

30

## 4. Speicherzelle nach Anspruch 3,

bei der das Nanostäbchen

- Silizium
- Germanium
- 35 • Indiumphosphid
- Galliumnitrid
- Galliumarsenid

- Zirkoniumoxid und/oder
  - ein Metall
- aufweist.

5 5. Speicherzelle nach Anspruch 3,  
bei der die Nanoröhre  

- eine Kohlenstoffnanoröhre
- eine Kohlenstoff-Bor-Nanoröhre
- eine Kohlenstoff-Stickstoff-Nanoröhre

10 • eine Wolframsulfid-Nanoröhre oder eine  
• eine Chalkogenid-Nanoröhre  
ist.

6. Speicherzelle nach einem der Ansprüche 1 bis 5,  
15 die eine erste elektrisch leitfähige Schicht als erster  
Source-/Drain-Bereich des Feldeffekttransistors aufweist, auf  
welcher das Nanoelement aufgewachsen ist.

7. Speicherzelle nach Anspruch 6,  
20 bei der die erste elektrisch leitfähige Schicht aus  
Katalysatormaterial zum Katalysieren des Ausbildens des  
Nanoelements hergestellt ist.

8. Speicherzelle nach einem der Ansprüche 1 bis 7,  
25 die eine zweite elektrisch leitfähige Schicht als Gate-  
Bereich des Feldeffekttransistors aufweist, welche die  
elektrisch isolierende Schicht zumindest teilweise umgibt.

9. Speicherzelle nach Anspruch 8,  
30 bei der die Dicke der zweiten elektrisch leitfähigen Schicht  
kleiner als eine Längsausdehnung des Nanoelements vorgesehen  
wird derart, dass die das Nanoelement umgebende elektrisch  
isolierende Schicht und die zweite elektrisch leitfähige  
Schicht einen Teil des Nanoelements umgebende  
35 Ringstruktur bilden.

10. Speicherzelle nach einem der Ansprüche 1 bis 9,

die eine dritte elektrisch leitfähige Schicht als zweiter Source-/Drain-Bereich des Feldeffekttransistors aufweist, welche auf dem Nanoelement ausgebildet ist.

5 11. Speicherzelle nach einem der Ansprüche 1 bis 10, ausgebildet auf und/oder in einem Substrat aus polykristallinem oder amorphem Material.

10 12. Speicherzelle nach einem der Ansprüche 1 bis 11, die ausschließlich aus dielektrischem Material, metallischem Material und dem Material der Nanostruktur gebildet ist.

15 13. Speicherzellen-Anordnung mit einer Mehrzahl von nebeneinander und/oder aufeinander ausgebildeten Speicherzellen nach einem der Ansprüche 1 bis 12.

20 14. Verfahren zum Herstellen einer nichtflüchtigen Speicherzelle,

25 bei dem

- ein Vertikal-Feldeffekttransistor mit einem als Kanal-Bereich eingerichteten Nanoelement ausgebildet wird;
- eine das Nanoelement zumindest teilweise umgebende elektrisch isolierende Schicht als

25 Ladungsspeicherschicht und als Gate-isolierende Schicht ausgebildet wird;

- die elektrisch isolierende Schicht derart eingerichtet wird, dass

- elektrische Ladungsträger selektiv darin einbringbar oder daraus entfernbare sind;
- die elektrische Leitfähigkeit des Nanoelements charakteristisch von in der elektrisch isolierenden Schicht eingebrachten elektrischen Ladungsträgern beeinflussbar ist.

35

15. Verfahren nach Anspruch 14, bei dem

- eine erste elektrisch leitfähige Schicht als erster Source-/Drain-Bereich des Feldeffekttransistors ausgebildet wird;
- nachfolgend eine zweite elektrisch leitfähige Schicht 5 als Gate-Bereich des Feldeffekttransistors ausgebildet wird;
- ein Teilbereich der ersten elektrisch leitfähigen Schicht freigelegt wird, indem ein Durchgangsloch in die zweite elektrisch leitfähige Schicht eingebracht wird;
- die elektrisch isolierende Schicht auf der Oberfläche des Durchgangslochs ausgebildet wird;
- das Nanoelement auf dem freigelegten Teilbereich der 10 ersten elektrisch leitfähigen Schicht in dem Durchgangsloch aufgewachsen wird.

15

16. Verfahren nach Anspruch 14,

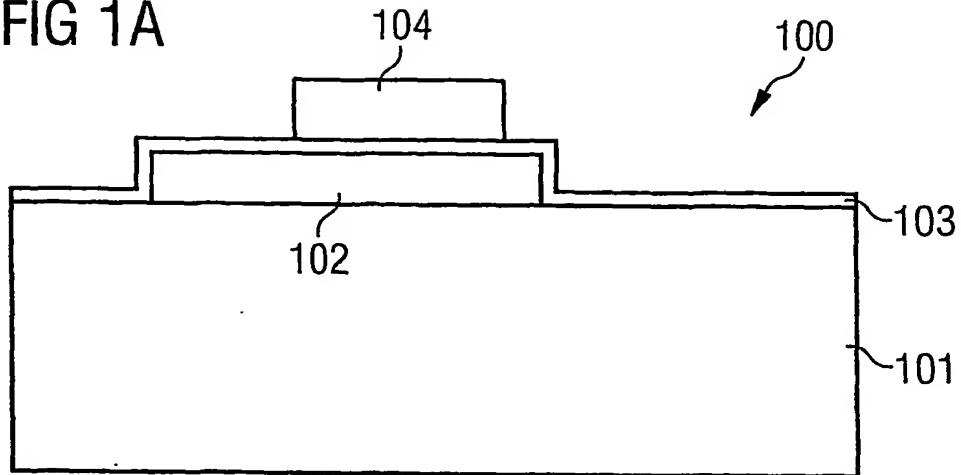
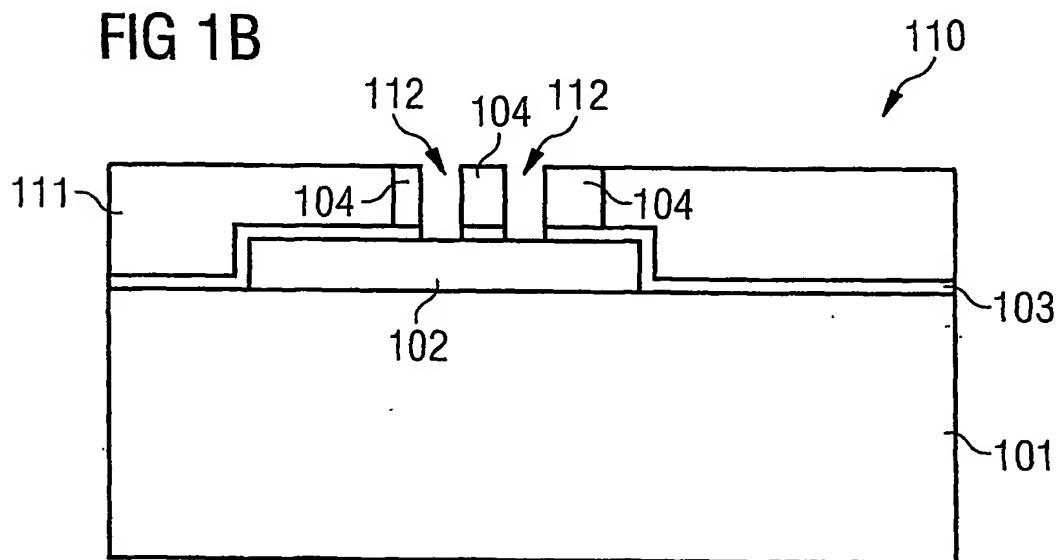
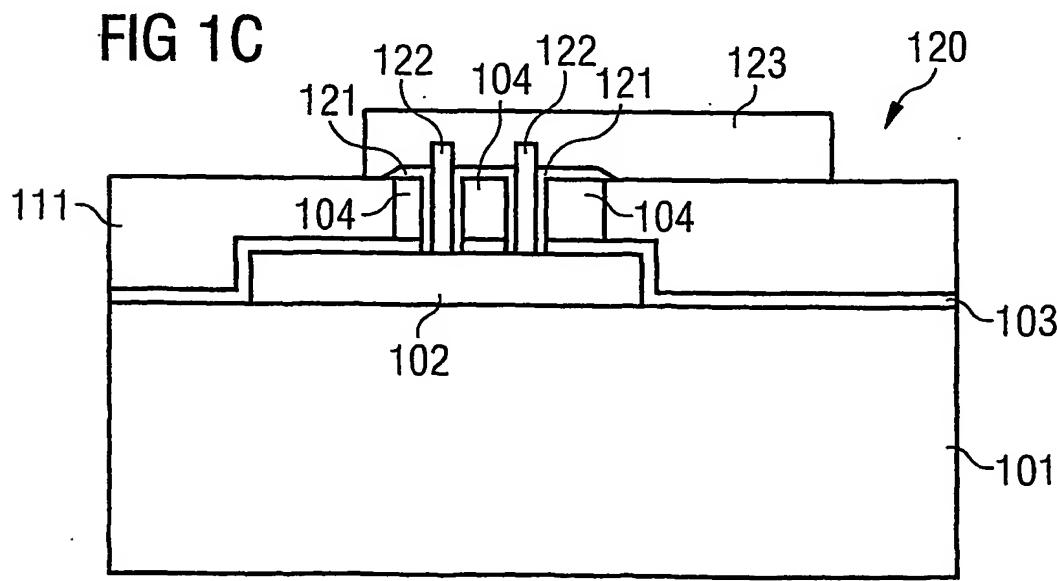
bei dem

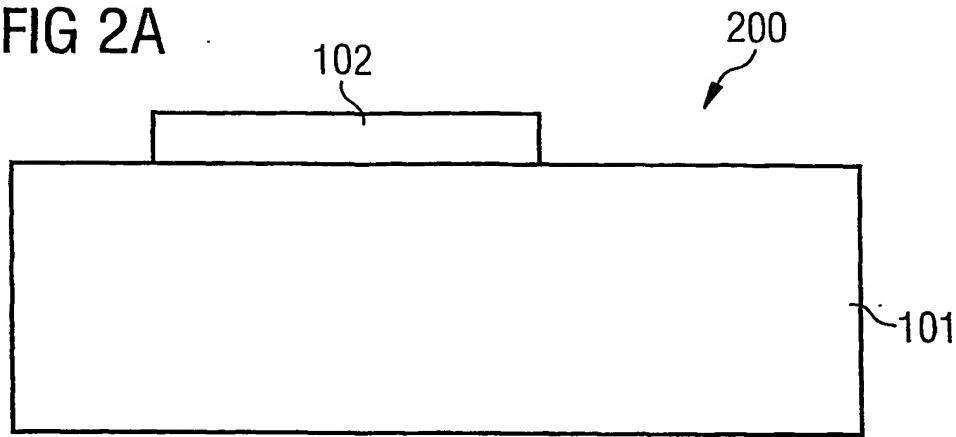
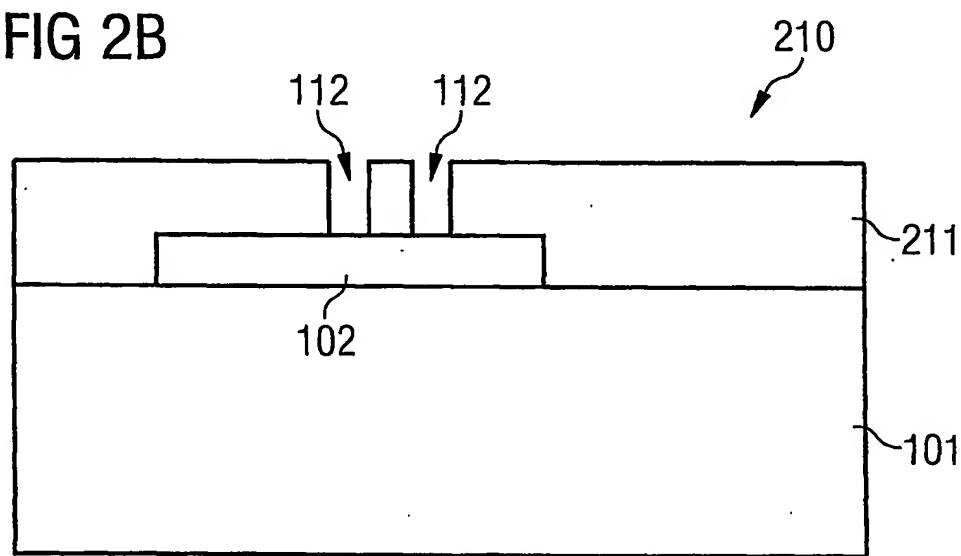
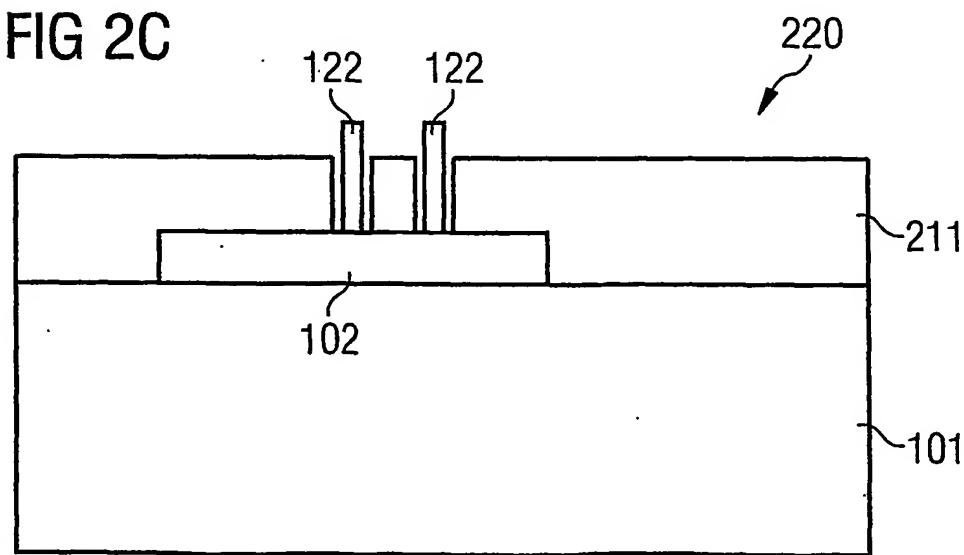
- eine erste elektrisch leitfähige Schicht als erster Source-/Drain-Bereich des Feldeffekttransistors 20 ausgebildet wird;
- nachfolgend eine Hilfsschicht ausgebildet wird;
- ein Teilbereich der ersten elektrisch leitfähigen Schicht freigelegt wird, indem ein Durchgangsloch in die Hilfsschicht eingebracht wird;
- das Nanoelement auf dem freigelegten Teilbereich der 25 ersten elektrisch leitfähigen Schicht in dem Durchgangsloch aufgewachsen wird;
- die Hilfsschicht entfernt wird;
- die elektrisch isolierende Schicht auf der Oberfläche 30 des Nanoelements aufgebracht wird.

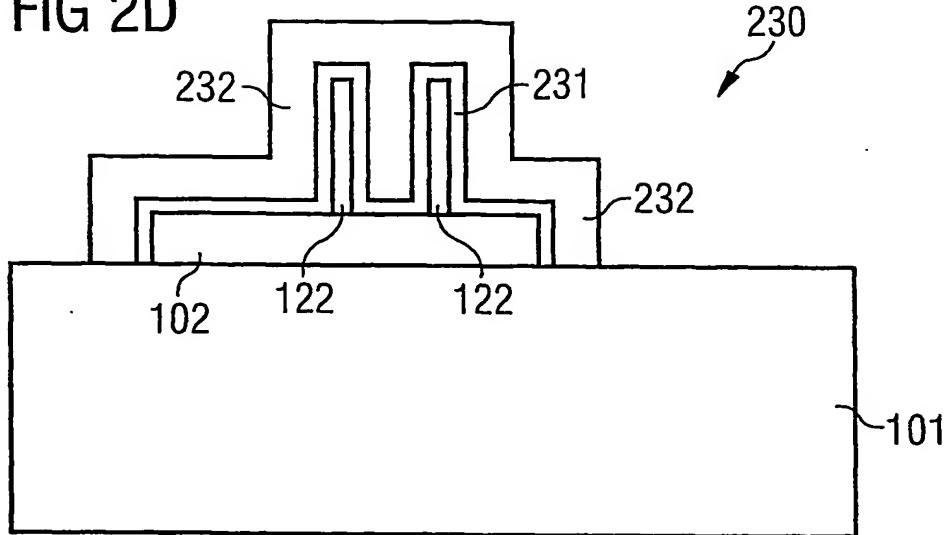
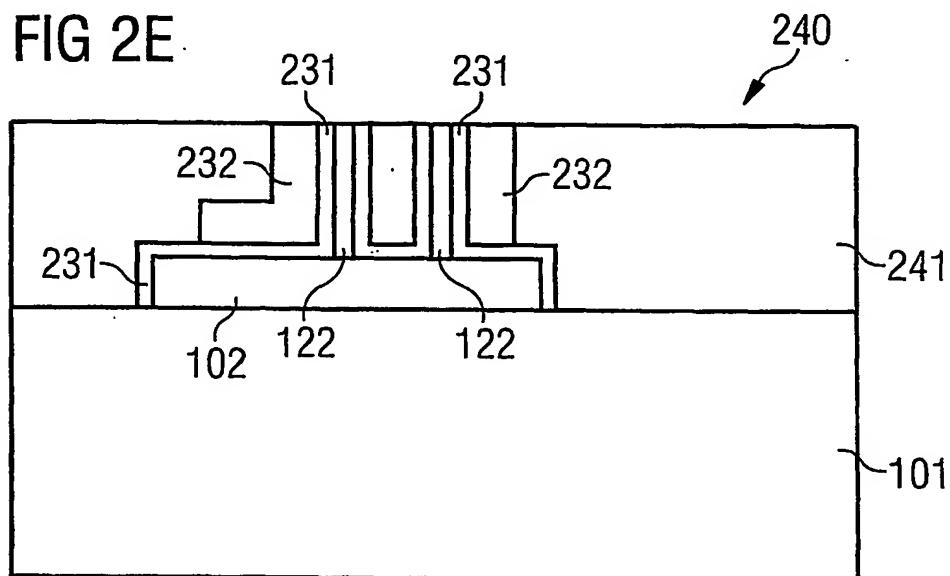
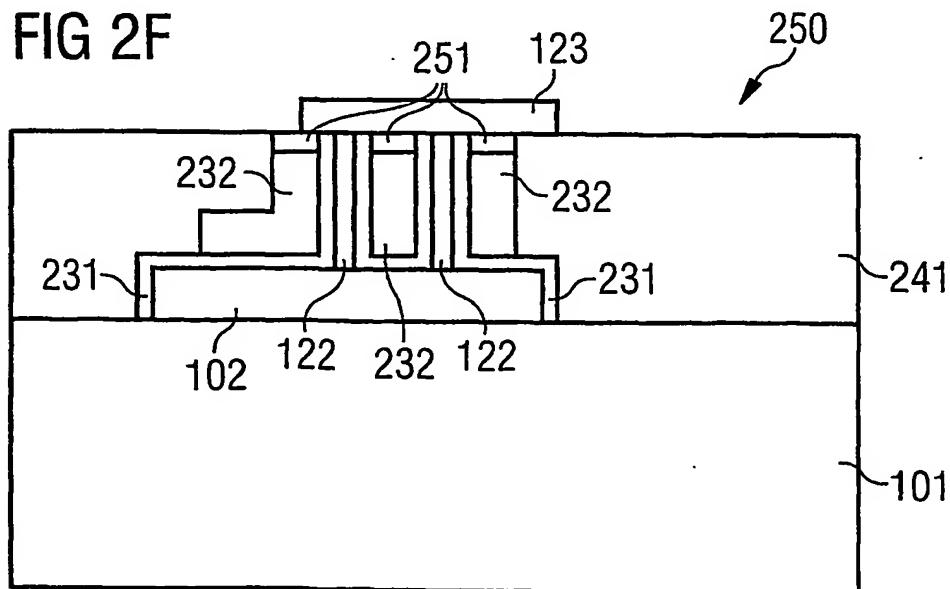
17. Verfahren nach Anspruch 14,

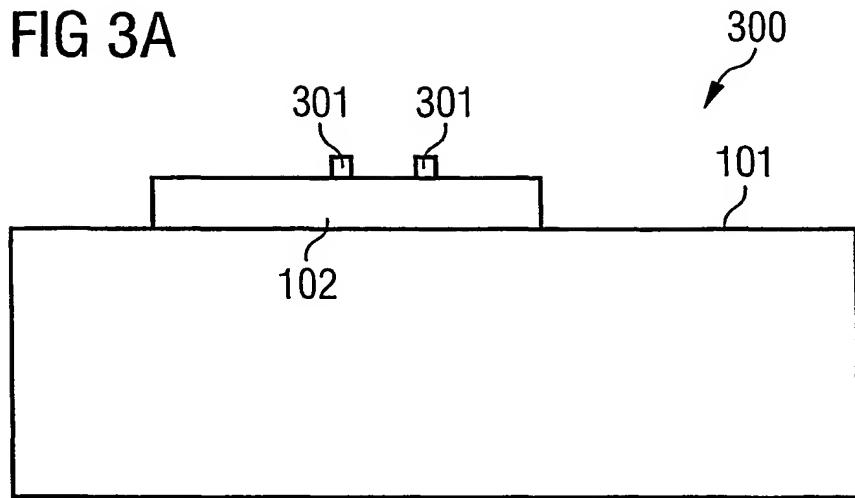
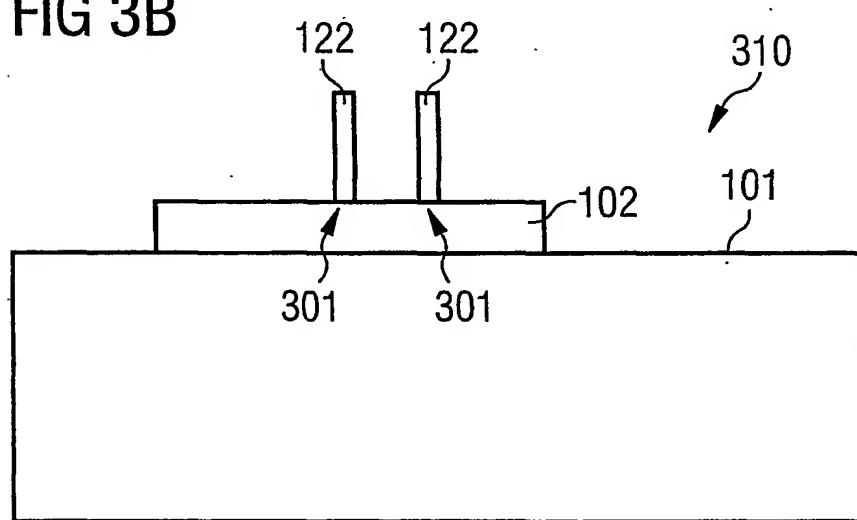
bei dem das Nanoelement zunächst freistehend auf einem Source-/Drain-Bereich vertikal aufgewachsen wird und

35 nachfolgend der restliche Vertikal-Feldeffekttransistor ausgebildet wird.

**FIG 1A****FIG 1B****FIG 1C**

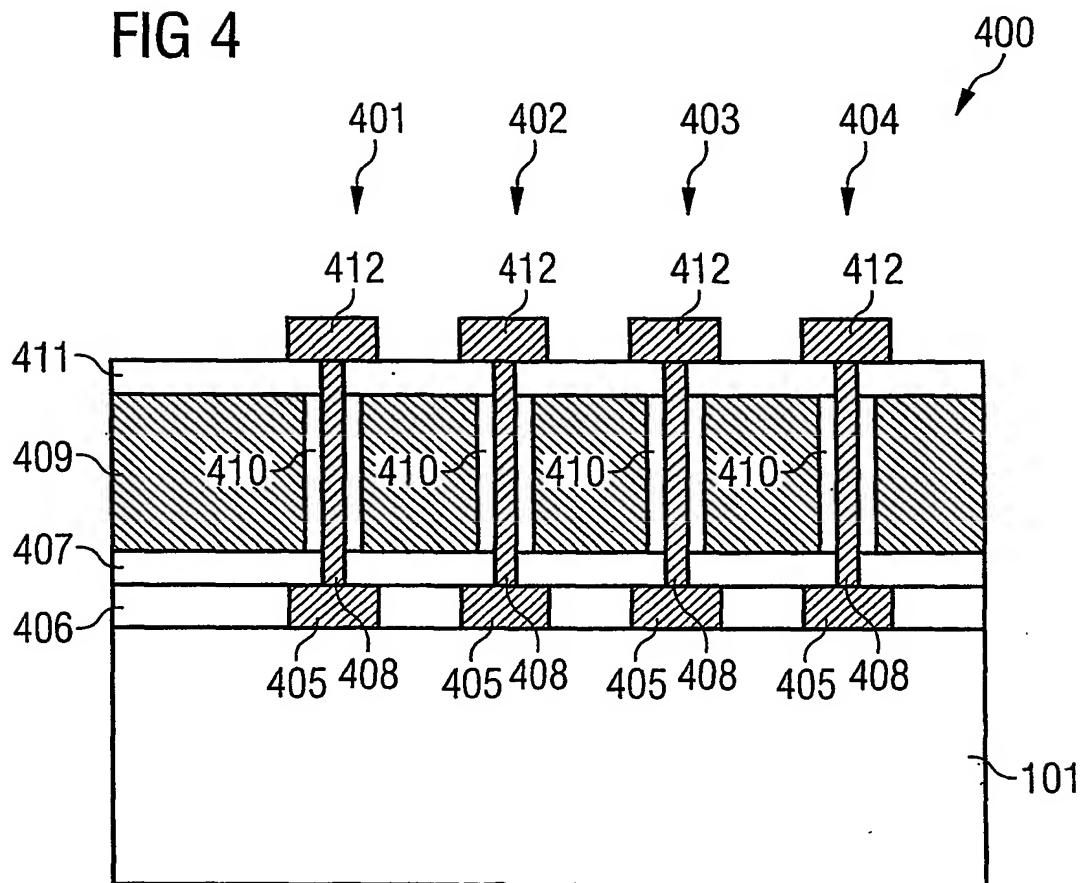
**FIG 2A****FIG 2B****FIG 2C**

**FIG 2D****FIG 2E****FIG 2F**

**FIG 3A****FIG 3B**

5/5

FIG 4



# INTERNATIONAL SEARCH REPORT

International application No  
PCT/03/03588

**A. CLASSIFICATION OF SUBJECT MATTER**  
IPC 7 H01L51/20

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, INSPEC, PAJ

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 899 734 A (LEE HONG HEE) 4 May 1999 (1999-05-04) column 7, line 30 -column 8, line 45; figures 6A-6F ---	1-4, 6, 8-14
A	US 2002/001905 A1 (CHOI WON-BONG ET AL) 3 January 2002 (2002-01-03) cited in the application the whole document ---	1-4, 6, 8, 10-17
A	DE 100 36 897 C (INFINEON TECHNOLOGIES AG) 3 January 2002 (2002-01-03) cited in the application the whole document ---	1-4, 6, 8, 10-17 -/-

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

° Special categories of cited documents :

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

\*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

\*&\* document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

24 March 2004

06/04/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax (+31-70) 340-3016

Authorized officer

Baillet, B

## INTERNATIONAL SEARCH REPORT

International Application No.	
PCT/	03/03588

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 361 861 B2 (GAO YUFEI ET AL) 26 March 2002 (2002-03-26) cited in the application the whole document ----	1,3,5
A	US 6 407 426 B1 (AHN KIE Y ET AL) 18 June 2002 (2002-06-18) the whole document ----	1
A	PEIN H ET AL: "PERFORMANCE OF THE 3-D PENCIL FLASH EPROM CELL AND MEMORY ARRAY" IEEE TRANSACTIONS ON ELECTRON DEVICES, IEEE INC. NEW YORK, US, vol. 42, no. 11, 1 November 1995 (1995-11-01), pages 1982-1991, XP000582412 ISSN: 0018-9383 the whole document ----	1
A	US 2002/130311 A1 (CUI YI ET AL) 19 September 2002 (2002-09-19) the whole document -----	3-5

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No  
PCT/03/03588

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
US 5899734	A	04-05-1999	KR DE GB JP JP TW	223807 B1 19805076 A1 2326022 A ,B 2929439 B2 11008366 A 413846 B		15-10-1999 10-12-1998 09-12-1998 03-08-1999 12-01-1999 01-12-2000
US 2002001905	A1	03-01-2002	KR CN JP US US US	2002001260 A 1330412 A 2002110977 A 2003230782 A1 2003227015 A1 2003230760 A1		09-01-2002 09-01-2002 12-04-2002 18-12-2003 11-12-2003 18-12-2003
DE 10036897	C	03-01-2002	DE WO EP US	10036897 C1 0211216 A1 1305834 A1 2003132461 A1		03-01-2002 07-02-2002 02-05-2003 17-07-2003
US 6361861	B2	10-01-2002	US AU WO US	2002004136 A1 7824400 A 0076912 A2 2002055010 A1		10-01-2002 02-01-2001 21-12-2000 09-05-2002
US 6407426	B1	18-06-2002	US US US US US US	6141260 A 2002151172 A1 2002151173 A1 2002041519 A1 2002018373 A1 2002021589 A1		31-10-2000 17-10-2002 17-10-2002 11-04-2002 14-02-2002 21-02-2002
US 2002130311	A1	19-09-2002	CA WO US AU CA EP WO AU CA EP WO US	2447728 A1 03005450 A2 2003089899 A1 8664901 A 2417992 A1 1314189 A2 0217362 A2 2904602 A 2430888 A1 1342075 A2 0248701 A2 2002117659 A1		16-01-2003 16-01-2003 15-05-2003 04-03-2002 28-02-2002 28-05-2003 28-02-2002 24-06-2002 20-06-2002 10-09-2003 20-06-2002 29-08-2002

# INTERNATIONALER RECHERCHENBERICHT

Internat. Aktenzeichen  
PCT 03/03588

A. KLASSEFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 7 H01L51/20

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, INSPEC, PAJ

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 899 734 A (LEE HONG HEE) 4. Mai 1999 (1999-05-04) Spalte 7, Zeile 30 - Spalte 8, Zeile 45; Abbildungen 6A-6F ---	1-4, 6, 8-14
A	US 2002/001905 A1 (CHOI WON-BONG ET AL) 3. Januar 2002 (2002-01-03) in der Anmeldung erwähnt das ganze Dokument ---	1-4, 6, 8, 10-17
A	DE 100 36 897 C (INFINEON TECHNOLOGIES AG) 3. Januar 2002 (2002-01-03) in der Anmeldung erwähnt das ganze Dokument ---	1-4, 6, 8, 10-17

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

- \* Besondere Kategorien von angegebenen Veröffentlichungen :
- \*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- \*E\* Älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- \*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- \*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- \*P\* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

- \*T\* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
- \*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
- \*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
- \*&\* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der Internationalen Recherche

Absendedatum des Internationalen Recherchenberichts

24. März 2004

06/04/2004

Name und Postanschrift der Internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax (+31-70) 340-3016

Bevollmächtigter Bediensteter

Baillet, B

# INTERNATIONALER RECHERCHENBERICHT

Internat.	Aktenzeichen
PCT	03/03588

**C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN**

Kategorie <sup>a</sup>	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 6 361 861 B2 (GAO YUFEI ET AL) 26. März 2002 (2002-03-26) in der Anmeldung erwähnt das ganze Dokument ----	1,3,5
A	US 6 407 426 B1 (AHN KIE Y ET AL) 18. Juni 2002 (2002-06-18) das ganze Dokument ----	1
A	PEIN H ET AL: "PERFORMANCE OF THE 3-D PENCIL FLASH EPROM CELL AND MEMORY ARRAY" IEEE TRANSACTIONS ON ELECTRON DEVICES, IEEE INC. NEW YORK, US, Bd. 42, Nr. 11, 1. November 1995 (1995-11-01), Seiten 1982-1991, XP000582412 ISSN: 0018-9383 das ganze Dokument ----	1
A	US 2002/130311 A1 (CUI YI ET AL) 19. September 2002 (2002-09-19) das ganze Dokument ----	3-5

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internat.	Patentzeichen
PCT	03/03588

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5899734	A	04-05-1999	KR DE GB JP JP TW	223807 B1 19805076 A1 2326022 A ,B 2929439 B2 11008366 A 413846 B		15-10-1999 10-12-1998 09-12-1998 03-08-1999 12-01-1999 01-12-2000
US 2002001905	A1	03-01-2002	KR CN JP US US US	2002001260 A 1330412 A 2002110977 A 2003230782 A1 2003227015 A1 2003230760 A1		09-01-2002 09-01-2002 12-04-2002 18-12-2003 11-12-2003 18-12-2003
DE 10036897	C	03-01-2002	DE WO EP US	10036897 C1 0211216 A1 1305834 A1 2003132461 A1		03-01-2002 07-02-2002 02-05-2003 17-07-2003
US 6361861	B2	10-01-2002	US AU WO US	2002004136 A1 7824400 A 0076912 A2 2002055010 A1		10-01-2002 02-01-2001 21-12-2000 09-05-2002
US 6407426	B1	18-06-2002	US US US US US	6141260 A 2002151172 A1 2002151173 A1 2002041519 A1 2002018373 A1 2002021589 A1		31-10-2000 17-10-2002 17-10-2002 11-04-2002 14-02-2002 21-02-2002
US 2002130311	A1	19-09-2002	CA WO US AU CA EP WO AU CA EP WO US	2447728 A1 03005450 A2 2003089899 A1 8664901 A 2417992 A1 1314189 A2 0217362 A2 2904602 A 2430888 A1 1342075 A2 0248701 A2 2002117659 A1		16-01-2003 16-01-2003 15-05-2003 04-03-2002 28-02-2002 28-05-2003 28-02-2002 24-06-2002 20-06-2002 10-09-2003 20-06-2002 29-08-2002